

CLIPPEDIMAGE= JP406097101A  
PAT-NO: JP406097101A  
DOCUMENT-IDENTIFIER: JP 06097101 A  
TITLE: FABRICATION OF THIN FILM TRANSISTOR

PUBN-DATE: April 8, 1994

INVENTOR-INFORMATION:

NAME

KUSUNOKI, MASAMUNE

MORI, KOJI

KONDO, NOBUAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

RICOH CO LTD

N/A

APPL-NO: JP04269290

APPL-DATE: September 11, 1992

INT-CL\_(IPC): H01L021/268; H01L021/20 ; H01L021/336 ; H01L029/784

US-CL-CURRENT: 438/FOR.147,438/FOR.184 ,148/DIG.151 ,438/477

ABSTRACT:

PURPOSE: To fabricate a TFT element having improved electric characteristics and reliability efficiently by performing a step for heat treating an amorphous semiconductor thin film with optical energy prior to formation of gate dielectric film and crystalizing the amorphous semiconductor thin film in an atmospheric gas having low thermal conductivity which allows removal of impurities from the film surface.

CONSTITUTION: TFT elements are formed on a substrate 1 at least the surface thereof is composed of a dielectric material. The fabrication method comprises a step for heat treating an amorphous semiconductor thin film 2 with optical energy prior to formation of a gate dielectric film 7 thus crystalizing the thin film 2 and the step is carried out in an atmospheric gas having low thermal conductivity which allows removal of impurities from the surface of the thin film 2. For example, an a-Si film 2 is deposited on an insulating substrate 1 which is then transferred into halogen gas atmosphere 4. The substrate 1 is then irradiated with ArF excimer laser beam 5 from above with the temperature of the substrate 1 being sustained at 150&deg;C in order to remove impurities from the surface of the film 2 and to crystalize the a-Si film 2 thus obtaining poly-Si 6.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-97101

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/268	A	8617-4M		
21/20		9171-4M		
21/336				
29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
			審査請求 未請求	請求項の数5(全 4 頁)

(21)出願番号 特願平4-269290

(22)出願日 平成4年(1992)9月11日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 楠 雅統

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 森 孝二

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 近藤 信昭

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74)代理人 弁理士 友松 英爾 (外1名)

(54)【発明の名称】 薄膜トランジスタ素子の製造法

(57)【要約】

【目的】 本発明の目的は、電気的特性と信頼性を向上させた薄膜トランジスタ(TFT)素子を効率的に製造する方法を提供することにある。

【構成】 少なくとも表面が絶縁物質である基板上に薄膜トランジスタ(TFT)素子を形成する方法において、該方法がゲート絶縁膜形成前に非晶質半導体薄膜を光エネルギーを用い熱処理して該薄膜を結晶化する工程を含み、かつ該工程を前記薄膜の膜面から不純物を除去することのできる低熱伝導率の雰囲気ガス中で行うことを特徴とする薄膜トランジスタ素子(TFT)の製造法。

## 【特許請求の範囲】

【請求項1】 少なくとも表面が絶縁物質である基板上に薄膜トランジスタ(TFT)素子を形成する方法において、該方法がゲート絶縁膜形成前に非晶質半導体薄膜を光エネルギーを用い熱処理して該薄膜を結晶化する工程を含み、かつ該工程を前記薄膜の膜面から不純物を除去することのできる低熱伝導率の雰囲気ガス中で行うことを特徴とする薄膜トランジスタ素子(TFT)の製造法。

【請求項2】 請求項1における非晶質半導体薄膜を熱処理する際の雰囲気ガスの熱伝導率(k)が以下の範囲にあることを特徴とする薄膜トランジスタ素子(TFT)の製造法。

$k \leq 0.01$  ( $\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ 、 $0^\circ\text{C}$ での値)

【請求項3】 請求項1または2における雰囲気ガスがハロゲンを含有するガスであることを特徴とする薄膜トランジスタ素子(TFT)の製造法。

【請求項4】 光エネルギーを用いる熱処理が、 $400\text{nm}$ 以下の波長による光で行われることを特徴とする請求項1記載の薄膜トランジスタ素子(TFT)の製造法。

【請求項5】 光エネルギーを用いる熱処理が、エキシマ・レーザによるアニールであることを特徴とする請求項1記載の薄膜トランジスタ素子(TFT)の製造法。

## 【発明の詳細な説明】

## 【0001】

【技術分野】本発明は、高性能化した薄膜トランジスタ(TFT)素子を効率良く製造する方法に関するものである。特に素子の高性能化と製造効率化を図る為のものである。

## 【0002】

【従来技術】近年、液晶ディスプレイにおいてはその大面積化と駆動素子の高速化の要請が高まっている。大面積化のためのディスプレイ基板は、安価なガラス基板が好ましく、駆動素子の高速化にはアクティブマトリクス方式を用いるのが良い。そのアクティブマトリクス方式を実現するには基板上に薄膜トランジスタ(以下、TFTと略称する。)を形成しなければならない。従来技術ではガラス基板上にダメージのないプロセス温度で形成されるTFTは、主に $a\text{-Si}$ を活性層に持つTFTであったが、最近になって $a\text{-Si}$ を短波長のパルスレーザを用いてレーザアニールすることによって、より高速駆動が可能なポリ $\text{Si}$ TFTができるようになってきている。例えば、特開昭62-36854号においては、ガラス基板上または、熱酸化した $\text{SiO}_2$ 上に $a\text{-Si}$ を形成した後にレーザアニールにより結晶化している。パルスレーザによるアニールでは、被照射膜の熔融固化時間は $\text{nsec}$ オーダーと非常に短いために膜は熔融状態から急速に固化し膜中の結晶粒径も数百 $\text{nm}$ とな

などの薄膜の電気的特性にも限界がある。そこで被照射膜の熔融固化時間を何らかの方法で長くすることにより結晶粒径を大きくする方法が求められてきた。一方、TFTを形成する場合、ゲート絶縁膜と半導体薄膜との界面には、TFTの電気特性や信頼性上の問題となるアルカリ金属や重金属などの物質が存在している場合があり、その不純物を除去することが必要となる。先行技術では、ゲート絶縁膜デポ前に多結晶シリコン表面を洗浄する工程が含まれていない場合には、多結晶シリコン/ゲート絶縁膜界面に不純物が存在している可能性が大きく、さらに界面特性向上のためのレーザ照射を行ってもその不純物が界面付近に拡散し、TFT特性の依拠性が低下する原因となりうる。またウェットクリーニングなどで表面クリーニングを行うとしても基板の大面積化による薬品量の増大、廃液処理の困難性、工程の自動化の要請などから薬液を使うウェットクリーニングには不便な点がある。それに代わる技術としてドライクリーニングがある。しかしこれまではプラズマやイオンなどを利用して行ってきたが制御性は十分とは言えず、さらに損傷や二次汚染の問題がある。そこで低ダメージの表面クリーニング方法の開発が求められてきた。

## 【0003】

【目的】本発明は、電気的特性と信頼性を向上させた薄膜トランジスタ(TFT)素子を効率的に製造する方法の提供を目的とする。

## 【0004】

【構成】本発明は、前記従来技術の問題点を解消するために、絶縁基板上に形成された非晶質半導体薄膜を熱伝導率(k)が低いガス雰囲気中、好ましくは熱伝導率(k)が $0.01$  ( $\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ 、 $0^\circ\text{C}$ での値)以下の低いガス中においてパルスのレーザによりレーザアニールすることで、前記非晶質半導体薄膜が熔融し固化する過程で発生する熱の伝導を悪くし前記薄膜中の温度変化を緩やかにすることができ、その結果アニール後の前記薄膜中の結晶粒径を従来のものと比べて大きくすることができる。また、前記アニール時の雰囲気ガスとして、熱伝導率(k)が前記の $0.01$ 以下の値であり、かつゲート絶縁膜と半導体薄膜との界面に存在した場合にTFTの電気特性や信頼性上の問題となるアルカリ金属や重金属粒子など(例えば、 $\text{Fe}$ 、 $\text{Cu}$ 、 $\text{Ni}$ 、 $\text{Cr}$ 、 $\text{Mg}$ 、 $\text{Al}$ 、 $\text{Na}$ 、 $\text{Ca}$ )を膜表面から除去することのできる物質を用いれば、薄膜の結晶化と膜表面のクリーニングを同時に行うことができ、製造工程の簡単化が画れるだけでなく、TFTの電気的特性は向上し、半導体/ゲート絶縁膜界面の洗浄度も向上するので素子の信頼性も向上する。このような雰囲気ガスとしては、例えば以下の表1に示すような塩素ガスやフロンガスが挙げられる。なお表1中の値は、 $0^\circ\text{C}$ での値である。

## 【表1】

ガス	k (W/m・K)	吸収端 (nm)
塩素	0.0079	400
フレオン	0.0085	—

一般に結晶化プロセスにおいては、その波長に対する膜の光吸収率と、その波長をもった光エネルギーが熱エネルギーになった時の膜中の熱伝達の制御が重要になっている。a-Si:H膜の結晶化には400nm以下の波長が必要となり、基板に対する熱的ダメージを少なくするには、パルス照射が都合よい。またハロゲンを活性化するには、400nm以下の波長が必要となる。以上の事柄を考えると、エキシマレーザは全ての条件を満足するので好ましいものではあるが、光エネルギーとしては上記のレーザ光以外に、例えば低圧Hgランプ、重水素ランプ等が挙げられる。ここで述べた低圧Hgランプや重水素ランプをシャッターなどで照射をパルス的に行えば、結晶化プロセスにおいてパルスレーザと同様な効果が期待できる。

【0005】以下図面に基づいて本発明の実施例を説明する。図1の(a)～(f)は、本発明による多結晶シリコンTFT素子の作製プロセスの各工程を示し、図2の(a)～(c)は、本発明における非晶質のシリコン上の不純物除去と非晶質シリコンの結晶化の概念を模式的に表す図である。

#### 実施例1

(1) まず有機洗浄をした絶縁基板上1にプラズマCVD法によりa-Si膜2を膜厚1000Å堆積させた。堆積条件は基板温度250℃、真空度 $1 \times 10^{-5}$  torrである〔図1(a)参照〕。

(2) 次に基板1をハロゲンガス雰囲気(5N純度の塩素ガス、20torr、50sccm)4に移動させる〔図1(b)参照〕。

(3) そして上記雰囲気中の基板を150℃に保ち、基板に対して上方からArfエキシマレーザ(波長193nm、半値幅10nsec)5をレーザパワー550mJ/cm<sup>2</sup>、ショット数20ショットの照射条件により膜上の不純物除去と非晶質シリコンの結晶化を行った。その結果多結晶シリコン6を得た〔図1(c)参照〕。

(4) 次に基板1上に基板温度450℃にして常圧CVD法によりゲート絶縁膜7を膜厚1500Å堆積させた〔図1(d)参照〕。

(5) さらに基板1を室温に保ち、真空度 $1 \times 10^{-5}$  torrの状態ですべてのArfエキシマレーザを照射することにより多結晶シリコン6とゲート絶縁膜7との界面特性を向上させた〔図1(e)参照〕。

(6) 最後に公知技術によりソース/ドレインのコン\*

\*タクト形成、不純物導入、活性化、ゲート電極、ソース/ドレイン電極形成、層間絶縁膜形成を経てMOSTFET素子を形成した結果、良好な電気特性と高い信頼性を得ることができた〔図1(f)参照〕。

#### 【0006】

【効果】(1) 非晶質シリコンが出発膜なのでデポ温度(基板温度)を多結晶シリコンのデポ温度(～600℃以上)よりも低温(300℃～R.T.)にできるため基板選択の自由度が向上する。

(2) 非晶質半導体薄膜の熱処理と、該薄膜上の不純物除去を同一系内で同時に処理することにより、プロセス工程の低減が画られ、かつ信頼性の向上した素子が提供される。

(3) 熱伝導率(k)が0.01(W・m<sup>-1</sup>・K<sup>-1</sup>、0℃での値)以下の範囲にある雰囲気ガスを使用することにより、結晶粒径を大きくでき、電子特性の向上した素子が得られる。

(4) 雰囲気ガスとしてハロゲンガスを選択し、このガスにレーザエネルギーを与え活性化させることで膜表面の金属粒子などの不純物が効率的に除去される。

#### 【図面の簡単な説明】

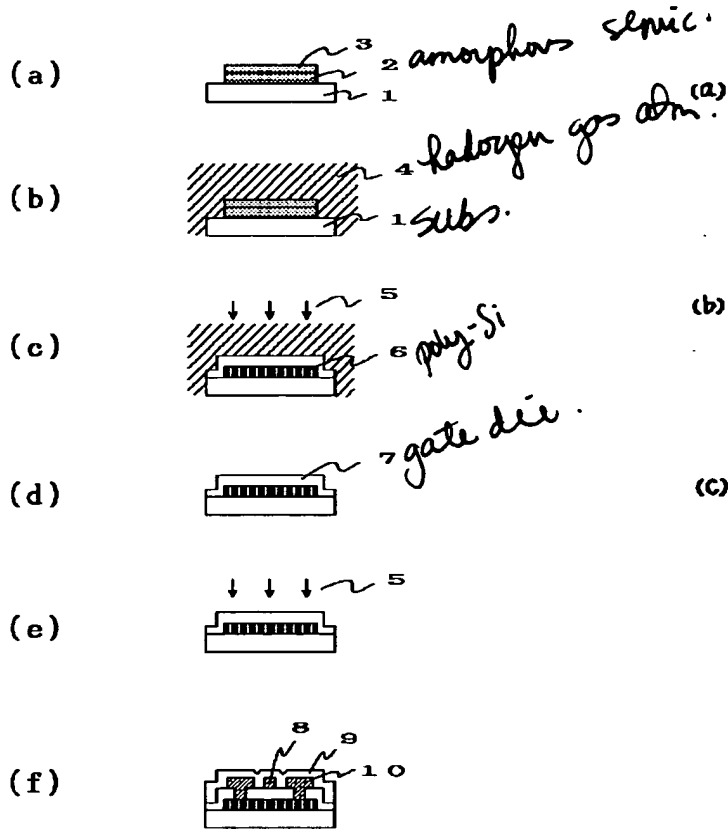
【図1】図1の(a)～(f)は、実施例1における多結晶シリコンTFT素子の作製プロセス(1)～(6)の各工程の素子の構造を模式的に示す図である。

【図2】図2の(a)～(c)は、本発明における非晶質シリコン上の不純物除去および該非晶質シリコンの結晶化の概念を模式的に示す図である。

#### 【符号の説明】

- 1 絶縁基板
- 2 非晶質シリコン
- 3 不純物層
- 3' 不純物
- 4 雰囲気ガス
- 5 レーザ光
- 6 多結晶シリコン
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 層間絶縁膜
- 10 ソース/ドレイン電極
- 11 ハロゲン分子
- 11' ハロゲン化合物
- 11'' 活性化ハロゲン

【図1】



【図2】

